

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-244065

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 29/786
H01L 21/336

(21)Application number : 08-051683

(71)Applicant : TOSHIBA ELECTRON ENG CORP
TOSHIBA CORP

(22)Date of filing : 08.03.1996

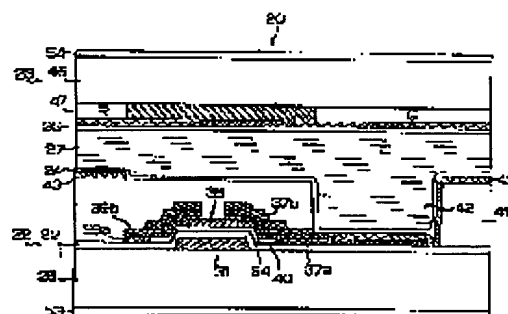
(72)Inventor : IIZUKA TETSUYA
SHIMANO TAKUYA
KITAZAWA TOMOKO

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To save energy to a back light, to simplify an active matrix substrate forming process, to reduce a manufacturing cost and to obtain high economicity by making at least a source electrode a double structure such as a transparent conductive film, etc., and making the source electrode a single structure of only the transparent conductive film in a contact hole position.

SOLUTION: The source electrode and an auxiliary capacity electrode are made the double structure of the transparent conductive film 37a and a metal film 37b. Further, on the other hand, in a first contact hole 42 position connected to a pixel electrode 43 each, the metal film 37b is eliminated, and the pixel electrode is made the single structure of only the transparent conductive film 37a. Then, the opening area of the pixel electrode 43 isn't reduced even when the area of the first contact hole 42 is enlarged for obtaining sufficient connection between the source electrode or the auxiliary capacity electrode and the pixel electrode 43. Thus, the energy required for the power of the back light is saved by improvement of picture luminance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-244065

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 K
21/336				6 1 6 V

審査請求 未請求 請求項の数3 OL (全8頁)

(21)出願番号 特願平8-51683

(22)出願日 平成8年(1996)3月8日

(71)出願人 000221339

東芝電子エンジニアリング株式会社
神奈川県川崎市川崎区日進町7番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 飯塚 哲也

神奈川県川崎市川崎区日進町7番地1 東
芝電子エンジニアリング株式会社内

(72)発明者 島野 卓也

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 弁理士 大胡 典夫

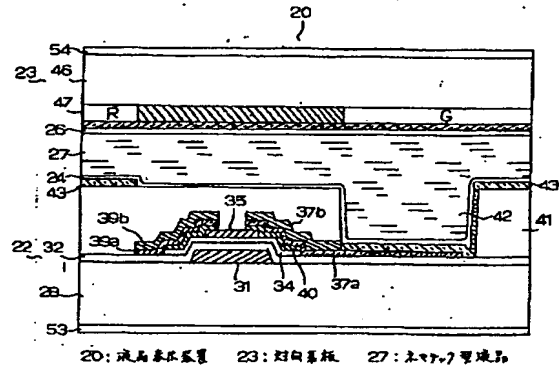
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 TFTを用いるアクティブマトリクス基板の開口率向上を図ると共に、画素電極とソース電極の接続不良による表示不良を防止し、更には、裏面露光技術を用いて画素電極を自己整合的にパターン形成する際のマスクの製造の簡素化を図りひいては製造コスト低減を図る。

【解決手段】 ソース電極37、信号線38、ドレイン電極39、補助容量電極44を透明導電膜37a~44aと金属膜37b~44bの2重構造とする一方、第1及び第2のコンタクトホール42、52においては、ソース電極37及び補助容量電極44の金属膜37b、44bを除去して透明導電膜37a、44aのみの1重構造とし、開口率を低下する事なくコンタクトホール42、52のエリア拡大を可能とし、裏面露光時、1回の露光で、マスクパターン形成可能とする。



【特許請求の範囲】

【請求項1】 透明な絶縁基板上に形成され、走査線により走査信号が供給されるゲート電極及び、このゲート電極上方にゲート絶縁膜を介して設けられ、活性領域を挟んでソース電極並びに信号線により映像信号が供給されるドレイン電極を備え、マトリクス状に配列される複数の薄膜トランジスタと、前記走査線及び前記信号線並びに前記薄膜トランジスタを被覆する絶縁性保護膜と、この絶縁性保護膜上にマトリクス状に配列され前記絶縁性保護膜に形成されるコンタクトホールを介し前記ソース電極に接続される画素電極とを有するアクティブマトリクス基板と、このアクティブマトリクス基板に対向され対向電極を有する対向基板と、前記アクティブマトリクス基板及び前記対向基板の間に封入される液晶組成物とを具備するアクティブマトリクス型液晶表示装置において、

少なくとも前記ソース電極が、透明導電膜及び金属膜を積層する2重構造である一方、前記コンタクトホール位置においては前記ソース電極が前記透明導電膜のみの1重構造である事を特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 ソース電極が、コンタクトホールのパターンをマスクとして上層の金属膜を除去することにより、前記コンタクトホール位置にて透明導電膜のみの1重構造とされる事を特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 画素電極が、絶縁基板側からの裏面露光技術により、絶縁性保護膜により被覆される全ての遮光性材料をマスクにして自己整合的に形状加工される事を特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス状に配列された薄膜トランジスタ（以下TFTと略称する。）を駆動素子として備えたアクティブマトリクス基板と、対向基板との間に、液晶組成物を保持して成るアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、高密度且つ大容量でありながら高性能更には高精細を得る液晶表示装置の実用化が図られている。

【0003】これ等液晶表示装置のうち、隣接する画素間のクロストークが無く、高コントラスト表示を得られると共に、透過型表示が可能であり且つ、大面積化も容易である等の理由から、従来よりTFTを駆動素子として備えたアクティブマトリクス型の液晶表示装置が多用されている。

【0004】なかでも大面積化且つ低温プロセスが可能である事から、非晶質シリコンを用いたTFTが現在主

流とされている。

【0005】そしてこの様にTFTを駆動素子とするアクティブマトリクス基板にあっては、従来画素電極は、TFT形成後に、フォトリソグラフィ技術によりパターン形成されTFTのソース電極と電気的に接続されていた。

【0006】このため、画素電極をパターン形成する際のフォトリソグラフィ上に形成されるパターンのずれを考慮し、画素電極は、TFTや、各配線から所定の距離を開けるようにして形成しなければならず、特に信号線に対しては、画素電極とのカップリング容量が大きくなったり、画素電極電位が信号電位にリークしたりして、表示品位が低下するのを防止する為、上記所定の距離を更に広くしなければならず、このため画素領域の面積が縮小され、アクティブマトリクス基板ひいては液晶表示装置の開口率を低減してしまうという問題を生じていた。しかも従来、アクティブマトリクス基板の画素電極及び配線の間からの光漏れによりコントラスト比が低下するのを防止する為、対向基板にブラックマトリクスを設けて遮光していたが、この画素電極と、ブラックマトリクスとの位置合わせ精度は、液晶セルの組み立て精度に依存しており、両者のズレが大きくなることから、ブラックマトリクスの幅をかなり大きく設定しなければならず、これを用いて液晶表示装置を形成した場合、実際に透過される光は、更に縮小され、液晶表示装置の開口率がさらに低下されるという問題を生じていた。

【0007】このため、例えば特開昭64-68726号公報に開示されるように、TFT上に透明絶縁膜を被覆し、その上に画素電極を形成し、コンタクトホールを介し、画素電極をソース電極に接続するという様に、TFT及び画素電極を異なる面に形成し、カップリング容量の低減や短絡防止を図る装置の開発が成されている。

即ち図6乃至図8に示す様に、絶縁基板1上に、ゲート電極2、ゲート絶縁膜3、非晶質シリコン薄膜4、を積層した上にチャネル領域6を保護する無機保護膜6aが形成され、その両側にオーミックコンタクト層8を介し、ソース電極9、ドレイン電極10が設けられる非晶質シリコンTFT11を設け、更に透明絶縁膜12を介し画素電極13を形成し、第1のコンタクトホール14にて画素電極13をソース電極9に接続している。

【0008】又、ゲート絶縁膜3を介し走査線16上方に補助容量電極17を設けた場合には、第2のコンタクトホール18にて、画素電極13を補助容量電極17に接続している。

【0009】一方特開平6-130416号公報に開示されるように、TFTを被覆する透明絶縁膜上にて、画素電極を配線電極上方迄延在する様パターン形成し、画素電極の開口部を配線電極により規定する事により、開口率の向上を図る装置の開発も成されている。

【0010】但しこの様に、画素電極を配線電極上方ま

で延在させた場合には、画素電極と配線電極との重なり部分で寄生容量が形成され、クロストークを生じ表示不良を起こしやすいという新たな問題を有する事から、これを改善するため、ネガ型のレジストを用いて絶縁基板側から露光する裏面露光技術により、遮光性材料からなる各電極、及び各配線をマスクにして、ネガ型のレジスト上に露光部を残すパターンを形成し、これをマスクにして画素電極のパターン形成を得る液晶表示装置の開発もされている。

【0011】

【発明が解決しようとする課題】従来、TFTを駆動素子とするアクティブマトリクス基板を用いた透過型の液晶表示装置にあっては、TFTを被覆する透明絶縁膜上に画素電極を形成する場合、画素電極はコンタクトホールにてTFTのソース電極に接続されていた。

【0012】しかしながらこのようなコンタクトホールを介しての接続は、同一面上にて直接接続する場合に比し、接続不良を起こしやすいという問題を生じている。

【0013】このため、十分な接続を得るためにはコンタクトホールのエリアを拡大する必要を生じるが、従来、ソース電極が遮光性材料で形成されているため、コンタクトホールのエリアの増大は装置の開口率を一層低下させてしまい、ひいては液晶表示装置の光透過率が低下し、表示された画面輝度が低下されてしまい、所要の輝度を得るためには、バックライトの光量を上げなければならず消費電力が増大され、装置の省エネルギー化が妨げられるという問題を生じていた。

【0014】又従来、ネガ型レジストを用い裏面露光技術により画素電極をパターン形成した場合には、コンタクトホール位置にあってはソース電極に遮光されて、ネガ型レジストが露光されず、このままでは画素電極パターンが残らないため、図7及び図8に示すように、先ず裏面露光技術により各配線や電極でマスクされない(第Iの領域)のマスクパターンを露光した後、更にコンタクトホール部分である(第IIの領域)については、表面から再度露光する事により画素電極パターンを残さなければならず、そのマスク形成工程が複雑になり、製造コストの上昇を招くという新たな問題を生じていた。

【0015】そこで本発明は上記課題を除去するもので、TFTを駆動素子とするアクティブマトリクス基板を用いた液晶表示装置の開口率ひいては光の透過率の向上を図り、画面輝度を向上する事により、従来バックライトに要していたエネルギーの節約を図ると共に、アクティブマトリクス基板形成工程の簡素化及び製造コストの低減を図り、経済性の高いアクティブマトリクス型液晶表示装置を提供する事を目的とする。

【0016】

【課題を解決するための手段】上記課題を解決する為の請求項1に記載の発明は、透明な絶縁基板上に形成され、走査線により走査信号が供給されるゲート電極及

び、このゲート電極上方にゲート絶縁膜を介して設けられ、活性領域を挟んでソース電極並びに信号線により映像信号が供給されるドレイン電極を備え、マトリクス状に配列される複数の薄膜トランジスタと、前記走査線及び前記信号線並びに前記薄膜トランジスタを被覆する絶縁性保護膜と、この絶縁性保護膜上にマトリクス状に配列され前記絶縁性保護膜に形成されるコンタクトホールを介し前記ソース電極に接続される画素電極とを有するアクティブマトリクス基板と、このアクティブマトリクス基板に対向され対向電極を有する対向基板と、前記アクティブマトリクス基板及び前記対向基板の間に封入される液晶組成物とを具備するアクティブマトリクス型液晶表示装置において、少なくとも前記ソース電極が、透明導電膜及び金属膜を積層する2重構造である一方、前記コンタクトホール位置においては前記ソース電極が前記透明導電膜のみの1重構造であるものである。

【0017】又請求項2に記載の発明は、請求項1に記載のアクティブマトリクス型液晶表示装置において、ソース電極が、コンタクトホールのパターンをマスクとして上層の金属膜を除去することにより、前記コンタクトホール位置にて透明導電膜のみの1重構造とされるものである。

【0018】又請求項3に記載の発明は、請求項1に記載のアクティブマトリクス型液晶表示装置において、画素電極が、絶縁基板側からの裏面露光技術により、絶縁性保護膜により被覆される全ての遮光性材料をマスクにして自己整合的に形状加工されるものである。

【0019】ソース電極を、透明導電膜及び金属膜の2重構造とする一方、コンタクトホール位置にては透明導電膜のみからなる1重構造とする事により、画素電極及びソース電極の十分な接続を得るためにコンタクトホールを拡大しても、画素電極の光透過面積が低減されないため、アクティブマトリクス基板の開口率を低下する事無く画素電極及びソース電極間の接続不良を防止出来、良好な表示を得ると共に、画面輝度の向上により、バックライトの電力に要するエネルギーの節約も図るものである。

【0020】又本発明によれば、画素電極のパターン形成を行う際に、1回の裏面露光により、ネガ型レジスト上にコンタクトホール部分を含む画素電極パターンを残すマスクパターンを形成出来、従来に比し、マスクパターン形成工程の簡素化を得られ、ひいては製造コストの低減も図るものである。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図1乃至図5を参照して説明する。20は、アクティブマトリクス型の液晶表示装置であり、駆動素子として非晶質シリコンTFT21を用いるアクティブマトリクス基板22及び対向基板23の間に、ポリイミドからなる配向膜24、26を介して、液晶組成物であるネマチック型

液晶27が保持されると共に偏光板53、54を有している。

【0022】ここでアクティブマトリクス基板22は、透明なガラスからなる絶縁基板28上に、遮光性材料であるタリウム(Ta)からなり、走査信号を供給すると共に一部がゲート電極31として用いられる走査線30がパターン形成されている。そしてこれ等の上には、酸化シリコン(SiOx)からなる透明のゲート絶縁膜32が被覆され、このゲート絶縁膜32を介したゲート電極31上方には、i型の水素化アモルファスシリコン(以下i型a-Si:Hと称する。)からなる半導体層34及び、窒化シリコン(SiNx)からなる保護絶縁膜35並びに、良好なオーミック性接触を得るためn型アモルファスシリコン(以下n型a-Siと称する。)からなるオーミック層40がパターン形成され、チャネル領域(A)を挟み、ソース領域(B)、ドレイン領域(C)が形成されている。

【0023】更にゲート絶縁膜32上には、後述する第1のコンタクトホール42にて、画素電極43とソース領域(B)のオーミック層40とを接続するソース電極37、信号線38、信号線38から枝別れして成りドレイン領域(C)のオーミック層40に接続されるドレイン電極39、後述する第2のコンタクトホール52にて画素電極43に接続される補助容量電極44がパターン形成されている。

【0024】ここでソース電極37、信号線38、ドレイン電極39、補助容量電極44は、共にインジウム錫酸化物(以下ITOと称する。)からなる透明導電膜37a~44aと、モリブデン(Mo)膜及びアルミニウム(Al)膜からなる金属膜37b~44bとの2重構造を有している。

【0025】但し第1及び第2のコンタクトホール42、52位置にあっては、ソース電極37及び補助容量電極44は透明導電膜37a、44aのみからなる1重構造を有している。

【0026】尚、補助容量電極44は、ゲート絶縁膜32を介して1行前の走査線30の上方に積層され、1行前の走査線30との重なり部分で補助容量を形成している。更にこれ等の上面には、第1及び第2のコンタクトホール42、52を有する、窒化シリコン(SiNx)からなる絶縁性保護膜41が被覆されている。

【0027】この絶縁性保護膜41上には、走査線30、信号線38、ソース電極37、ドレイン電極39、補助容量電極44に対して自己整合的にパターン形成されるITO膜からなる画素電極43が設けられている。そして画素電極43は、第1のコンタクトホール42にてソース電極37の透明導電膜37aに接続されると共に、第2のコンタクトホール52にて補助容量電極44の透明導電膜44aに接続されている。

【0028】一方対向基板23は、透明なガラスからな

る絶縁基板46上に遮光性材料であるクロム(Cr)からなり、各領域に赤、緑、青の着色層を有するブラックマトリクス47及びITOからなる対向電極48を有している。

【0029】次にアクティブマトリクス基板22の製造方法について述べる。先ず絶縁基板28上にスパッタ法によりタリウム(Ta)を成膜し、フォトレジスト(図示せず)をマスクとしてタリウム(Ta)をフォトリソグラフィ技術を用い、走査線30及びその一部であるゲート電極31をパターン形成する。

【0030】次にプラズマCVD法によりゲート絶縁膜32、(i型a-Si:H)膜、窒化シリコン(SiNx)膜を積層形成し、フォトリソグラフィ技術を用い、窒化シリコン(SiNx)膜及び(i型a-Si:H)膜をフォトリソグラフィ加工し、保護絶縁膜35及び半導体層34をパターン形成する。

【0031】続いて半導体層34上に、プラズマCVD法により(n型a-Si)膜を形成し、エッチング加工してオーミック層40をパターン形成する。

【0032】更にスパッタ法によりITO膜、モリブデン(Mo)膜、アルミニウム(Al)膜を順次積層した後、フォトリソグラフィ加工し、ソース電極37、信号線38及びこれと一体のドレイン電極39、補助容量電極44をパターン形成する。

【0033】次にプラズマCVD法により窒化シリコン(SiNx)からなる絶縁性保護膜41を全面に被覆し、ソース電極37上方及び補助容量電極44上方にて、第1及び第2のコンタクトホール42、52をエッチング加工する。

【0034】そしてこの絶縁性保護膜41をマスクにして、第1及び第2のコンタクトホール42、52に位置するソース電極37及び補助容量電極44を透明導電膜37a、44aのみの1重構造とする様、その上層の金属膜37b、44bを除去する。

【0035】この後、スパッタ法により絶縁性保護膜41上にITO膜を形成し、更にネガ型レジストを塗布する。次いで、遮光性材料からなる走査線30、信号線38、ソース電極37、ドレイン電極39、補助容量電極44を遮光マスクとして、絶縁基板28の背面から露光し、ネガ型レジストを露光部分を残す様パターン形成する。そしてこのネガ型レジストをマスクにしてITO膜をエッチングする事により、ITO膜を、遮光性材料に対して自己整合的に形状加工し画素電極43をパターン形成する。

【0036】但しこの絶縁基板28背面からの露光時、コンタクトホール42、52に位置するソース電極37及び補助容量電極44は、遮光性材料である金属膜37b、44bが除去されおり光を透過する事から、ネガ型レジストはコンタクトホール42、52位置のパターン

も残されるので、再度コンタクトホール42、52部分を露光する事なく画素電極43全面をパターン化したマスクを形成される。

【0037】従ってこの様にマスクパターンを形成されたネガ型レジストを用い、画素電極43を、コンタクトホール42、52部分を残す様パターン形成し、アクティブマトリクス基板22を形成する。

【0038】次に対向基板23にあっては、絶縁基板46上にスパッタ法によりクロム(Cr)を成膜し、フォトリソグラフィ技術により所定の形状にエッチングし、ブラックマトリクス47を格子状にパターン形成する。そしてブラックマトリクス47に顔料を分散させた層を塗布後、パターン露光、現像を繰り返し、ブラックマトリクス47上に赤(R)、緑(G)、青(B)のストライプ状の領域を形成した後、スパッタ法によりITOからなる対向電極48を全面に形成し対向基板23を形成する。

【0039】続いて、アクティブマトリクス基板22及び対向基板23の画素電極43側及び対向電極48側全面に、夫々配向膜24、26を塗布し、両基板22、23を対向した時、配向軸が90°と成るようにラビング処理をした後、両基板22、23を対向して組み立て、セル化する。

【0040】次いで両基板22、23の間にネマチック型液晶27を注入した後封止し、両基板22、23の絶縁基板28、46側に偏光板53、54を取着して液晶表示装置20を形成する。

【0041】この様に構成すれば、ソース電極37及び補助容量電極44を、透明導電膜37a、44aと金属膜37b、44bの2重構造とする一方、夫々画素電極43に接続される第1及び第2のコンタクトホール42、52位置にあっては金属膜37b、44bが除去され透明導電膜37a、44aのみの1重構造とされている事から、ソース電極37或いは補助容量電極44と画素電極43との十分な接続を得るために第1及び第2のコンタクトホール42、52のエリアを拡大しても、画素電極43の開口面積が低減される事が無い。

【0042】従って画面輝度の向上により、バックライトの電力に要するエネルギーの節約を図れ且つ、画素電極43とソース電極37或いは補助容量電極44間の接続不良を防止出来、良好な表示を得られる。

【0043】更に、アクティブマトリクス基板22の開口率向上のために、絶縁基板28側から露光する裏面露光技術により、画素電極43を、走査線30、信号線38、ソース電極37、ドレイン電極39、補助容量電極44に対して自己整合的にパターン形成する際、絶縁基板28側からの露光により、第1及び第2のコンタクトホール42、52においてもネガ型レジストは露光される。

【0044】この様に、1回の裏面露光工程によりネガ

型レジストのマスクパターンを形成出来る事から、従来に比し、マスクパターン形成工程の簡素化を得られひいては製造コストの低減を図れる。

【0045】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であって、例えば各電極や配線の材質或いはゲート絶縁膜や絶縁性保護膜の材料等任意であるし、ソース電極や補助容量電極の金属膜も単一の金属による単層から形成されていても良い。

【0046】又、上記実施の形態にあっては補助容量は、ゲート絶縁膜を介し1行前の走査線と補助容量電極との重なり部分で形成したが、走査線と独立した透明の補助容量線を設け、絶縁性保護膜を介し、補助容量線と画素電極との重なり部分で形成する等しても良い。

【0047】

【発明の効果】以上説明したように本発明によれば、ソース電極が、透明導電膜及び金属膜の2重構造とされる一方、画素電極に接続するためのコンタクトホールにあっては、金属膜を除去し透明導電膜のみからなる1重構造とされる事から、十分な接続を得るためにコンタクトホールのエリアを拡大しても、画素電極の開口面積が低減される事が無いので、アクティブマトリクス基板の開口率を損なう事無くソース電極及び画素電極間の良好な接続を得られる。

【0048】従ってアクティブマトリクス型液晶表示装置は画面輝度の向上を図るためにバックライトの電力を増大したりする必要がなく、エネルギーの節約を図れ且つ、接続不良の無い良好な表示を得られる。

【0049】又、アクティブマトリクス基板の開口率向上のために、裏面露光技術により、遮光性材料からなる電極や配線をマスクとして、画素電極を自己整合的にパターン形成する際に、コンタクトホールにおけるソース電極が透明とされる事から、ネガ型レジストは、裏面露光工程を1回成されるのみで、マスクパターンを形成されるので、従来に比しマスクパターン形成工程の簡素化を得られひいては、製造コストの低減を図れる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のアクティブマトリクス基板を示す一部概略平面図である。

【図2】本発明の一実施の形態の液晶表示装置を示す一部概略断面図である。

【図3】本発明の一実施の形態のアクティブマトリクス基板を示す図1のA-A'線における概略断面図である。

【図4】本発明の一実施の形態のアクティブマトリクス基板を示す図1のB-B'線における概略断面図である。

【図5】本発明の一実施の形態のアクティブマトリクス基板を示す図1のC-C'線における概略断面図である。

【図6】従来のアクティブマトリクス基板を示す一部概

略平面図である。

【図7】従来のアクティブマトリクス基板を示す図6のA-A'線における概略断面図である。

【図8】従来のアクティブマトリクス基板を示す図6のB-B'線における概略断面図である。

【符号の説明】

20…液晶表示装置

21…非晶質シリコンTFT

22…アクティブマトリクス基板

23…対向基板

27…ネマチック型液晶

30…走査線

31…ゲート電極

32…ゲート絶縁膜

37…ソース電極

38…信号線

39…ドレイン電極

41…絶縁性保護膜

42…第1のコンタクトホール

43…画素電極

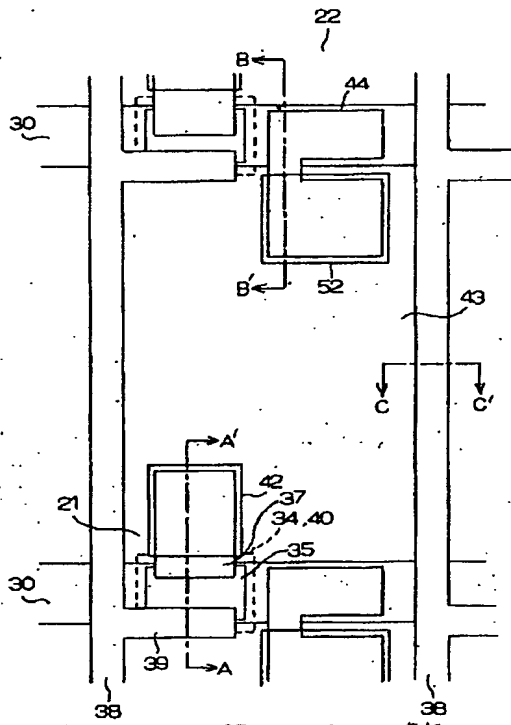
44…補助容量電極

47…ブラックマトリクス

48…対向電極

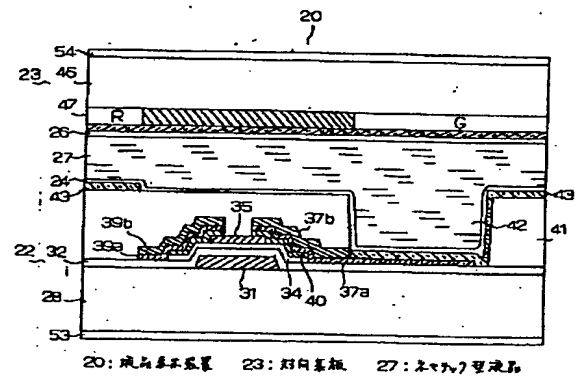
52…第2のコンタクトホール

【図1】



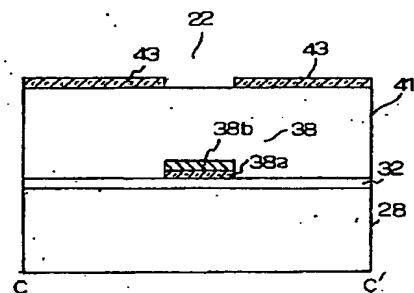
21: 非晶質シリコンTFT 22: アクティブマトリクス基板
30: 走査線 37: ソース電極 38: 信号線
39: ドレイン電極 42: 第1のコンタクトホール 43: 画素電極
44: 補助容量電極 52: 第2のコンタクトホール

【図2】

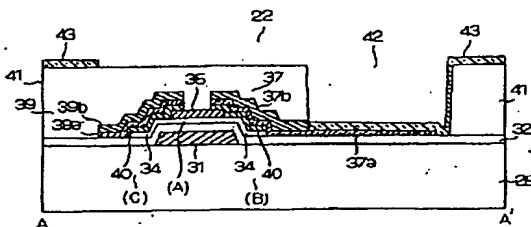


20: 液晶表示装置 23: 対向基板 27: ネマチック型液晶

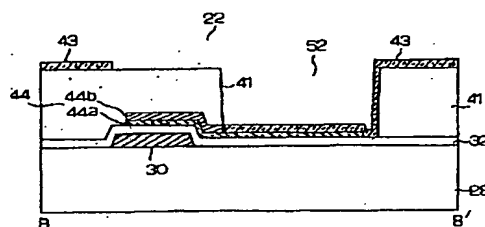
【図5】



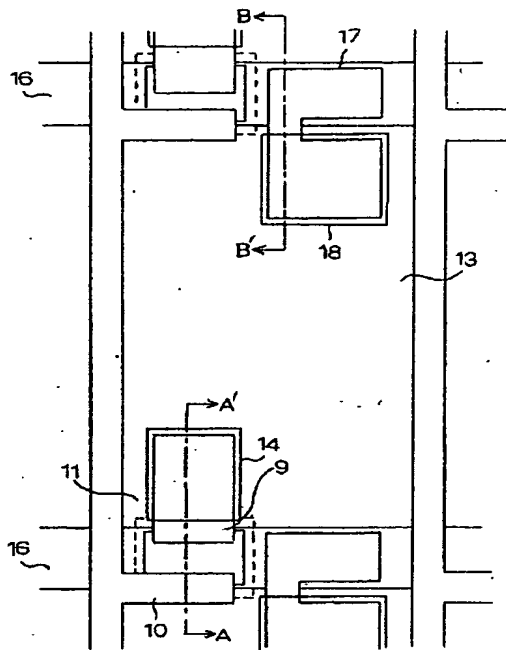
【図3】



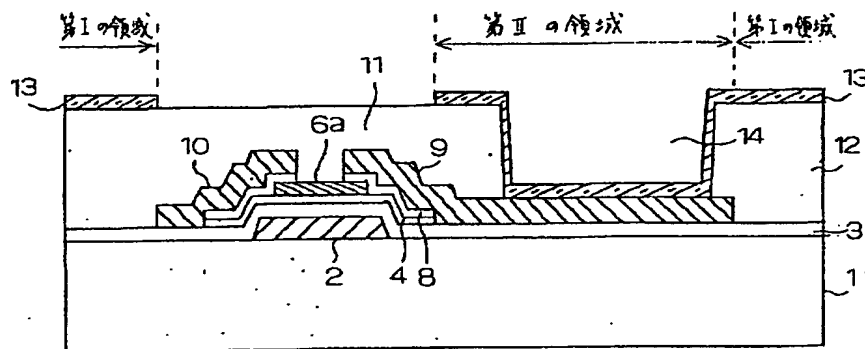
【図4】



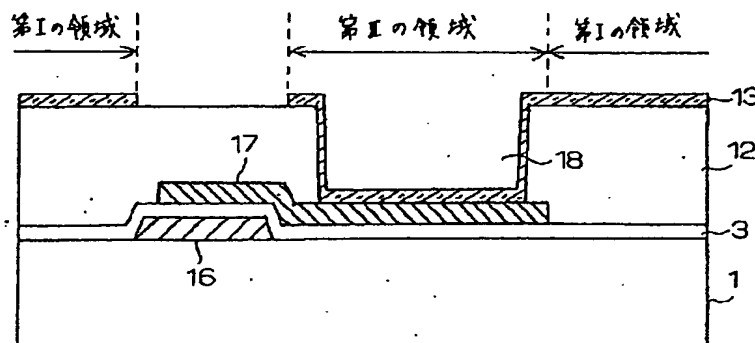
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 北沢 倫子

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内